



Espacenet

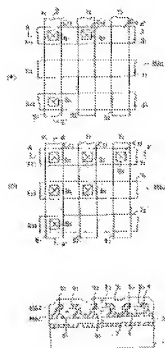
Bibliographic data: JP 1189958 (A)

SEMICONDUCTOR MEMORY DEVICE

Publication date: 1989-07-31
Inventor(s): KIRISAWA RYOHEI; SHIRATA RICHIRO +
Applicant(s): TOSHIBA CORP +
Classification:
 - **international:** G11C17/06; H01L21/8229; H01L27/10; H01L27/102; (IPC-7); G11C17/06; H01L27/10
 - **European:**
Application number: JP19880015258 19880126
Priority number (s): JP19880015258 19880126

Abstract of JP 1189958 (A)

PURPOSE: To miniaturize cell and obtain large capacity, by stacking, on a substrate, two or more interlayer insulating film, at least two wiring layers wherein a plurality of lines mutually intersect. **CONSTITUTION:** Data are stored by depending on whether rectifying contacts directly formed between laminated wiring layers 3, 5, 7 exist. Therefore, as compared with the case, for example, installing P-N junction cells by forming diffusion layers on a semiconductor substrate 1 in accordance with a data pattern, the miniaturization is facilitated. Further it is not necessary to form an insulating film for preventing diffusion on a substrate 1, by utilizing all the deposited films on the substrate 1. Therefore, it is also easy to realize a large capacity ROM. By stacking wiring layers in the manner of multilayer, a memory array can be formed by arranging MA1 and MA2 n-multilayer, that is, 3-dimensional arrangement is facilitated, which largely contributes to the realization of a large capacity ROM. Thereby, the miniaturization of cell is attained by a simple structure, and a mask ROM of large capacity can be obtained.



⑫ 公開特許公報(A) 平1-189958

⑮ Int. Cl. ⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月31日

H 01 L 27/10
G 11 C 17/06

4 3 5

8624-5F
D-7341-5B

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-15258

⑰ 出 願 昭63(1988)1月26日

⑱ 発 明 者 桐 澤 亮 平 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 白 田 理 一 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 基板上に、それぞれ複数本ずつの互いに交差する少なくとも2層の配線層が層間絶縁膜を介して積層され、前記層間絶縁膜にはデータ・パターンに対応して上部配線層形成前にコンタクト孔が配列形成されて、各コンタクト孔で上部配線層と下部配線層とは整流性接触をなすことを特徴とする半導体記憶装置。

(2) 基板上に、それぞれ複数本ずつの互いに交差する少なくとも2層の配線層が層間絶縁膜を介して積層され、前記層間絶縁膜は、書き込みデータに対応して選択された上部配線層と下部配線層間に所定の書き込み電圧を印加することによりその交差位置で破壊されて、その交差位置で上部配線層と下部配線層との間が整流性接触をなすことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体記憶装置に係り、特に所定のデータを書込む読出し専用メモリ(ROM)に関する。

(従来の技術)

従来より、この種のROMとして、拡散層等の形成マスクにより素子形成工程でデータを書込むマスクROMと、素子形成後に電気的にデータを書込むプログラマブルROM(PROM)が知られている。それらのメモリセル構造は多岐にわたる。これらの各種ROMのうち、セル構造が簡単に大容量化に適した半導体ROMとして、半導体基板上にデータ・パターンに応じてpn接合ダイオード・アレイを形成したものが提案されている(例えば特開昭60-74669号公報)。しかし、半導体基板上に予めpn接合ダイオードを形成する構造では、拡散領域の微細な制御を必要とし、また素子分離絶縁膜を基板上に形成すること

が不可欠になるため、セルの微細化およびROMの大容量化に限界がある。

(発明が解決しようとする課題)

以上のように従来の半導体ROMは、セルの微細化、大容量化に難点があった。

本発明は、この様な難点を解決し、セルの微細化および大容量化を可能とした半導体ROMを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明にかかるROMは、基板上にそれぞれ複数本ずつの互いに交差する少なくとも2層の配線層が層間絶縁膜を介して積層された構造を有する。隣接する上部配線層と下部配線層とは、互いに異なる導電型の半導体により、または異なる材料により構成される。上部配線層と下部配線層の各交差部がメモリスセルであって、各交差部では、データに応じて上部配線層と下部配線層とが直接コンタクトするかまたは層間絶縁膜を介して容量結合し、直接コンタクトする部分では整流性接触

をなす。

データ書込み法は、二種ある。一つは、下部配線層上に層間絶縁膜を形成した後、この層間絶縁膜にデータ・パターンに対応したマスクを用いてコンタクト孔を形成し、上部配線層を形成する方法である。これは、マスクROMの手法に類似し、素子形成工程途中でデータ書込みがなされる。もう一つは、層間絶縁膜にコンタクト孔を開けず上部配線層を形成し、その後データに応じて選択された上部配線層と下部配線層間に所定の電圧を印加して層間絶縁膜を静電破壊することにより、その部分で上部配線層と下部配線層間が整流性接触をなすようにする。これは、PROMの手法である。

いずれの書込み法でも、予めメモリスセルとしてpn接合が拡散法等により形成されることはない。即ち本発明では、上部配線層の形成により、あるいはその後の層間絶縁膜破壊により始めて、配線層間に整流性接触が形成される。従って、上部配線層と下部配線層との間で異種導電型または異種

材料を用いることが不可欠である。

(作用)

本発明のROMでは、積層される配線層間では直接形成される整流性接触の有無によりデータを記憶する。従って例えば、半導体基板上にデータ・パターンに応じて拡散層を形成してpn接合セルを設けるものと比べて、セルの微細化が容易である。配線層として、全て基板上に堆積した膜を利用すれば、基板に素子分離絶縁膜を形成することも必要ない。従って本発明によれば、ROMの大容量化も容易である。また配線層を多層に積層すれば、メモリアレイを多層に、即ち多次元的に配列形成することが容易にできる。これも、ROMの大容量化に大きく寄与する。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図(a)~(d)は、一実施例のROMの構造を3×3×2ビット分につき示す。この実施例では、基板上に2層のメモリアレイMA₁、

MA₂を積層形成しており、(a)、(b)はこれらを説明の便宜上分離して、それぞれ第1層目のメモリアレイMA₁部分、第2層目のメモリアレイMA₂部分につき示した平面図である。(c)および(d)は、(a)(b)のA-A'およびB-B'断面図である。基板1は例えばSi基板であり、この上に絶縁膜2を介してp型多結晶シリコン膜からなる複数本の第1層配線層3(3₁, 3₂, ...)が形成されている。この第1層配線層3が形成された基板上は層間絶縁膜4でおおわれ、これにデータ・パターンに対応するコンタクト孔8(8₁, 8₂, ...)が配列形成されて、n型多結晶シリコン膜からなる複数本の第2層配線層5(5₁, 5₂, ...)が形成されている。第2層配線層5は、第1層配線層3と直交する方向に配設されている。第1層配線層3と第2層配線層5は、コンタクト孔8の部分で直接接触し、pn接合を構成する。この第1層配線層3と第2層配線層5の各交差部をメモリスセル(C₁₁, C₁₂, ...)として、第1層目のメモリアレイMA₁が構

成されている。コンタクト孔がない部分例えばメモリセル C_{13} では、第1層配線層3と第2層配線層5は層間絶縁膜4を挟んで容量結合する。第2層配線層5が形成された基板上に層間絶縁膜6で覆われ、この層間絶縁膜6にもデータに応じてコンタクト孔9(9₁, 9₂, ...)が形成されて、この上にp型多結晶シリコン膜からなる第3層配線層7(7₁, 7₂, ...)が形成されている。第3層配線層7は第2層配線層5と直交する方向に配設されている。この第2層配線層5と第3層配線層7の間で、各交差部をメモリセル C_2 (C₂₁, C₂₂, ...)として第2層目のメモリアレイMA₂が構成されている。

第4図(a)~(d)は、この実施例のROMの製造工程を示す断面図(第1図(c))に対応するものである。簡単にその製造工程を説明すると、例えばp型Si基板1に熱酸化等により絶縁膜2を形成した後、多結晶シリコン膜を堆積し、ボロンを $1 \times 10^{17} \sim 5 \times 10^{17} / \text{cm}^2$ 程度ドーピングする。そしてこの多結晶シリコン膜をフォトレ

ジストフ用いてパターンニングして、後述の第1層配線層3を形成する((a))。次に層間絶縁膜4として、熱酸化またはCVD法によるシリコン酸化膜を例えば 300 \AA 形成し、データ・パターンに対応するフォトレジスト・パターンを用いて層間絶縁膜4を選択エッチングしてコンタクト孔8を形成する((b))。その後、全面に多結晶シリコン膜を堆積し、これにリンを $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度ドーピングしてパターンニングし、第2層配線層5を形成する((c))。このとき、第1層配線層3と第2層配線層5の各交差位置でコンタクト孔8が形成されている部分ではpn接合ダイオードが形成されることになる。その後更に層間絶縁膜6を形成し、これに別のデータ・パターンに対応したフォトレジスト・パターンを形成し、これを用いて層間絶縁膜6を選択エッチングしてコンタクト孔9を形成する。そして多結晶シリコン膜を堆積し、ボロンを $1 \times 10^{17} \sim 5 \times 10^{17} / \text{cm}^2$ 程度ドーピングした後パターンニングして第3層配線層7を形成する

((d))。このとき、第2層配線層5と第3層配線層7の各交差位置でコンタクト孔9が形成されている部分ではpn接合ダイオードが形成されることになる。

第2図は、このよう構成されたROMの、第1図(c)の断面での等価回路である。第1層配線層3による第1制御線X₁(X₁₁, X₁₂, ...)と、第2層配線層5による第2制御線Y(Y₁, Y₂, ...)が直交し、これらの間に選択的にダイオードとキャパシタが配列された第1のメモリアレイMA₁が構成される。同様に、第2層配線層5による第2制御線Y(Y₁, Y₂, ...)と、第3層配線層7による第3制御線X₂(X₂₁, X₂₂, ...)が直交し、これらの間に選択的にダイオードとキャパシタが配列された第2のメモリアレイMA₂が構成される。

第3図(a)(b)は、この様なROMを、第1図(a)(b)に対応させて第1層メモリアレイMA₁と第2層メモリアレイMA₂に分けて示した等価回路である。この等価回路を用いて次に、

このROMの読出し動作を説明する。第3図(a)(b)には、一例として第2層目のメモリアレイMA₂の中の破線で囲んだメモリセルを読み出す場合の各制御線の電位関係を示してある。図示のように、読み出すべきメモリセルに対応する位置を示す第2の制御線Y₂に0V、第3の制御線X₂₂に5Vを印加する。残りの第2の制御線は全て5Vとし、第1の制御線X₁は全て0Vとする。このとき選択されたセルが図示のようにダイオードを構成している場合には、第2の制御線Y₂と第3の制御線X₂₂の間に電流が流れる。このセルがキャパシタである場合には電流が流れない。他の非選択セルでは、ダイオードの部分も等バイアスまたは逆バイアスであり、電流は流れない。こうして、電流の有無により選択セルの情報“0”、“1”が判別できる。

この実施例によれば、コンタクト孔の有無をデータに対応させて多層の配線層によりROMを構成している。しかも、pn接合等を予め形成することはなく、配線層がコンタクト孔を介して接触

する時に整流性接触をなすように、配線材料を選択している。またメモリアレイの3次元的に積層が容易である。以上により、セルの微細化が可能であり、ROMの大容量化が図られる。

上記実施例では、3層の配線層を全て半導体層である多結晶シリコン膜により形成したが、書き込まれた状態のセルの整流特性を良好なものとするために、エネルギー・ビームにより多結晶シリコン膜を単結晶化することは有効である。また配線材料として非晶質シリコンなどを用いることもできるし、配線抵抗を下げるため、配線層表面にW、Moなどのあるいはこれらのシリサイドを積層してもよい。

第5図(a)(b)は、先の実施例の第1層配線層を基板内の拡散層により構成した実施例の第1図(c)(d)に対応する断面図である。基板1にn型Si基板を用い、p型拡散層によって第1層配線層3をストライプ状に形成している。この上にn型多結晶シリコン膜による第2層配線層5、p型多結晶シリコン膜による第3層配線層7

を順次積層すること、各配線層間の層間絶縁膜4、6にデータに応じてコンタクト孔8、9を形成すること、は先の実施例と同様である。この実施例によっても、先の実施例と同様の効果が得られる。

実施例では、整流性接触の例としてpn接合を説明したが、例えば金属配線を組合わせてショットキー障壁による整流性接触を用いることもできる。第6図(a)(b)は、その様な実施例の第1図(c)(d)に対応する断面図である。この実施例では、第3層配線層7として、Pt、Au、Al等の金属膜を用いて、n型多結晶シリコン膜からなる第2層配線層5との間でショットキー・ダイオードを構成するようにしている。この実施例によっても、先の実施例と同様の効果が得られる。

実施例では、メモリアレイを2層としたが、これを1層のみとすることもできるし、また3層以上重ねることもできる。例えば第7図は、上記実施例の第1層目のメモリアレイMA₁のみを用いた実施例である。第8図は、先の実施例の第3層

配線層7の上に更に同様のプロセスの繰返しにより、n型多結晶シリコン膜からなる第4層配線層10、p型多結晶シリコン膜による第5層配線層11を順次形成して、4層のメモリアレイMA₁～MA₄を積層した実施例の断面図である。このようにして容易にメモリ容量の拡大が可能である。なお配線層を多数積層する場合、各層の接点数の配線層の間隔を絶縁膜で埋め込んで基板を平坦化することが信頼性の点で好ましい。

これまでの実施例は、製造工程途中にマスクを用いてデータを書き込む点でマスクROMの一種といえる。本発明は、素子製造終了後に電気的に配線層間絶縁膜を破壊してデータ書き込みを行うPRAMにも適用できる。その実施例を次に説明する。

第9図(a)～(d)は、その様な実施例のROMのデータ書き込み前、即ちプログラム前の状態を、第1図(a)～(d)に対応させて示すものである。第1図と対応する部分には同一符号を付して詳細な説明は省略する。図から明らかなよ

うにこの実施例では、層間絶縁膜4、6にコンタクト孔を形成することなく、第1層配線層3～第3層配線層7を順次積層形成する。各配線層は、その間の層間絶縁膜を静電破壊した時に上下の配線層間で直接接触してpn接合を形成するように、導電率が交互に反対になるように選ばれている。

具体的な数値例を上げれば、第1層配線層3および第3層配線層7は、ボロン濃度 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ のp型多結晶シリコン膜とし、第2層配線層5は、リン濃度 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のn型多結晶シリコン膜とする。層間絶縁膜4、6は共に膜厚100Å程度の熱酸化膜とする。

第10図は、このプログラム前のPRAMの第9図(c)に対応する断面の等価回路を、第1図(c)に対応させて示す。図示のように、第1層目のメモリアレイMA₁、第2層目のメモリアレイMA₂共に、プログラム前においてはメモリセル部は全て層間絶縁膜を誘電体とするキャパシタとなっている。

第11図(a)(b)は、プログラム時の各制御線の電位関係を、第1層目のメモリアレイMA₁、第2層目のメモリアレイMA₂についてそれぞれ示す。これらの図で、ダイオードで示してあるセルは既に書き込みがなされたものであり、また図示の電位関係は、第11図(b)の縦線で囲んだセルに書き込みを行う場合のものである。即ち選択された第2の制御線Y₂と第3の制御線X₂₂の交点のメモリセルに書き込みを行うには、第11図(b)のように第2の制御線Y₂を0Vとし、第2の制御線X₂₂に1.4Vの書き込み電圧を印加する。残りの第2の制御線にはすべて1.4Vを印加し、また第1の制御線X₁は全て0Vとする。これにより、選択セルで層間絶縁膜が静電破壊し、その結果この部分で第2層配線層と第3層配線層7間でp-n接合ダイオードが形成される。残りのセルは、零バイアスのものは当然書き込みはなされない。1.4Vの逆バイアス関係となるセルにおいては、低濃度のp型配線層側に空乏層が伸びてこれが1.4Vの印加電圧の一部を

分担する結果、層間絶縁膜にかかる電界は破壊限界値に達せず、やはり書き込みはなされない。既に書き込みがなされているセルは、零バイアスまたは1.4Vの逆バイアスであり、p-n接合耐圧が1.4V以上であれば、電流が流れることはない。このようにして、選択的に電気的書き込みが行われる。

データ書き込みがなされたROMの読み出し動作は、先の実施例のものと同様である。

この実施例によれば、セルの微細化、大容量化を図ったPRoMが得られる。特に先の実施例と比べると、コンタクト孔形成工程が要らないため、製造工程は簡単になり、同じ理由でより微細なセルを形成することが可能である。

この実施例のPRoMについても、先のマスクROMの場合と同様、第1層配線層基板内の拡散配線層を用いること、配線層の一部にショットキー障壁を形成するような金属膜-半導体の組み合わせを利用すること、3層以上に配線層を多層化すること、等の種々の変形が可能である。

〔発明の効果〕

以上述べたように本発明によれば、データ・パターンに応じたコンタクト孔形成工程を含む配線層の結露工程によって、簡単な構造でセルの微細化を図り、大容量化を図ったマスクROMが得られる。

また本発明によれば、層間絶縁膜の静電破壊によるデータ書き込みを利用して、より一層のセルの微細化と大容量化を可能としたPRoMを得ることができる。

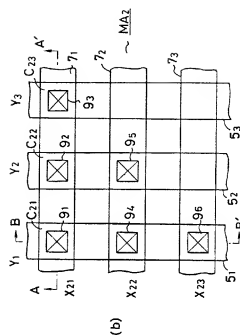
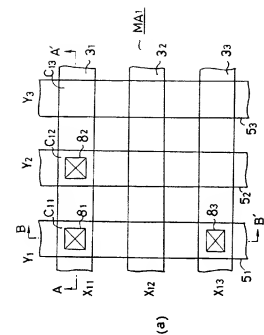
4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例のROM構造を示すもので、(a)(b)はそれぞれ第1層目、第2層目のメモリアレイを示す平面図、(c)および(d)はそれぞれ(a)(b)のA-A'およびB-B'断面図、第2図はそのROMの第1図(c)に対応する断面での等価回路図、第3図(a)(b)は同じくそのROMの第1層目、第2層目のメモリアレイの等価回路図、第4図(a)~(d)はそのROMの製造工程を

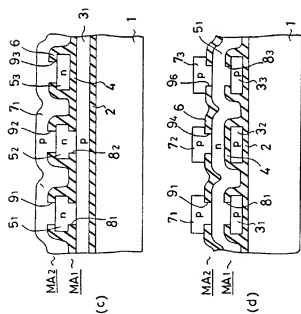
示す断面図、第5図(a)(b)は基板拡散層を配線層の一部に用いた実施例のROMの第1図(c)(d)に対応する断面図、第6図(a)(b)は配線層の一部に金属配線を用いた実施例の第1図(c)(d)に対応する断面図、第7図はメモリアレイを1層とした実施例のROMの断面図、第8図はメモリアレイを4層とした実施例のROMの断面図、第9図(a)~(d)は、本発明をPRoMに適用した実施例の構造を示す第1図(a)~(d)に対応させて示す図、第10図はそのPRoMの第2図に対応する等価回路図、第11図(a)(b)は同じくそのPRoMのプログラム時の各制御線の電位関係を示す図である。

1…Si基板、2…絶縁膜、3…第1層配線層、4、6…層間絶縁膜、5…第2層配線層、7…第3層配線層、8、9…コンタクト孔、MA₁…第1層メモリアレイ、MA₂…第2層メモリアレイ。

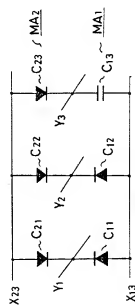
出願人代理人 井理士 鈴江武彦



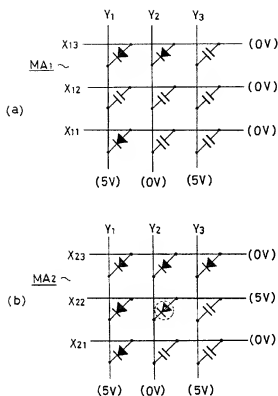
第 1 図 (X の 1)



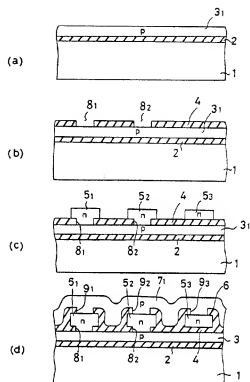
第 1 図 (X の 2)



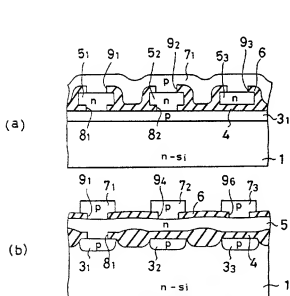
第 2 図



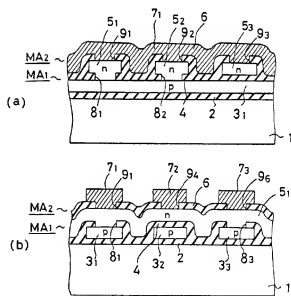
第 3 圖



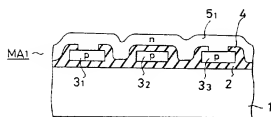
第 4 圖



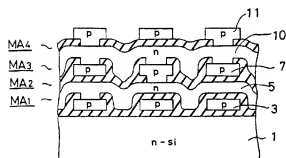
第 5 圖



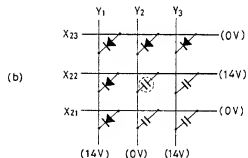
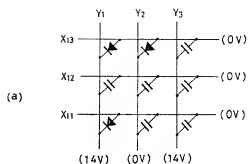
第 6 圖



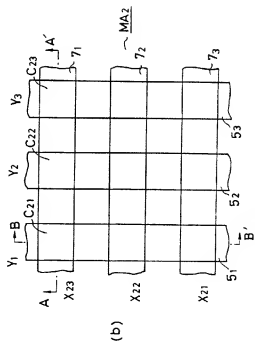
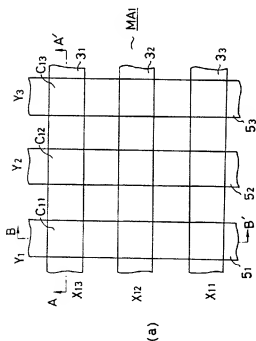
第 7 図



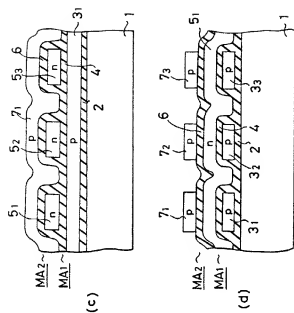
第 8 図



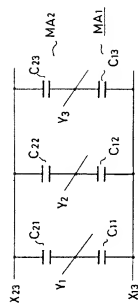
第 11 図



第 9 図 (a, b)



第 9 図 (つづき)



第 10 図